

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Nariaki IKEDA, et al.

GAU:

SERIAL NO: 10/617,661

EXAMINER:

FILED: July 14, 2003

FOR: OPTICAL DEVICE HAVING A CARRIER-DEPLETED LAYER

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2002-203372	July 12, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)  
☐ are submitted herewith  
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
\_\_\_\_\_  
Bradley D. Lytle

Registration No. 40,073



22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

Surinder Sachar  
Registration No. 34,423

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年   7 月 1 2 日  
Date of Application:

出 願 番 号            特 願 2 0 0 2 - 2 0 3 3 7 2  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 2 - 2 0 3 3 7 2 ]

出      願      人            古河電気工業株式会社  
Applicant(s):

2 0 0 3 年   7 月   9 日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎

【書類名】 特許願

【整理番号】 A11019

【提出日】 平成14年 7月12日

【あて先】 特許庁長官 殿

【国際特許分類】 H01S 03/18

【発明の名称】 光集積デバイス

【請求項の数】 5

【発明者】

    【住所又は居所】 東京都千代田区丸の内 2 丁目 6 番 1 号 古河電気工業株式会社内

    【氏名】 池田 成明

【発明者】

    【住所又は居所】 東京都千代田区丸の内 2 丁目 6 番 1 号 古河電気工業株式会社内

    【氏名】 山口 武治

【発明者】

    【住所又は居所】 東京都千代田区丸の内 2 丁目 6 番 1 号 古河電気工業株式会社内

    【氏名】 荒川 智志

【特許出願人】

    【識別番号】 000005290

    【氏名又は名称】 古河電気工業株式会社

    【代表者】 古河 潤之助

【代理人】

    【識別番号】 100096231

    【弁理士】

    【氏名又は名称】 稲垣 清

【選任した代理人】

【識別番号】 100095326

【弁理士】

【氏名又は名称】 畑中 芳実

【手数料の表示】

【予納台帳番号】 029388

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9305593

【包括委任状番号】 9302325

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光集積デバイス

【特許請求の範囲】

【請求項 1】 レーザ光を発生する活性層を有する分布帰還型半導体レーザ素子（DFBレーザ素子）と、前記レーザ光を吸収する吸収層を有する電界吸収型光変調器（EA光変調器）とを、共通の第 1 導電型の半導体基板上にモノリシックに集積した光集積デバイスであって、前記活性層及び吸収層を有するメサストライプと、該メサストライプの側部を順次に埋め込む半絶縁性膜及び第 1 導電型の埋込み層とを備える光集積デバイスにおいて、

前記第 1 導電型の埋込み層と、前記メサストライプの上部に配設される第 2 導電型のクラッド層との間に、キャリア空乏層を形成したことを特徴とする光集積デバイス。

【請求項 2】 前記活性層及び吸収層の少なくとも一方が、InGaAsP 系材料又は InGaAlAs 系材料から成る、請求項 1 に記載の光集積デバイス。

【請求項 3】 前記半絶縁性膜及び前記第 1 導電型の埋込み層が夫々、Fe ドープ InP 層及び第 1 導電型の不純物ドープ InP 層から成り、前記キャリア空乏層がノンドープ InP 層である、請求項 2 に記載の光集積デバイス。

【請求項 4】 前記半絶縁性膜及び前記第 1 導電型の埋込み層が夫々、Fe ドープ InP 層及び第 1 導電型の不純物ドープ InP 層から成り、前記キャリア空乏層が Fe ドープ InP 層である、請求項 2 に記載の光集積デバイス。

【請求項 5】 前記第 1 導電型の不純物ドープ InP 層のキャリア濃度が、 $4 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$  の範囲にある、請求項 3 又は 4 に記載の光集積デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、分布帰還型半導体レーザ素子と、電界吸収型光変調器とを集積した光集積デバイスに関し、特に、電界吸収型光変調器が良好な逆耐圧特性を有し、

低い逆バイアス電圧で高い消光比を示す光集積デバイスに関する。

#### 【0002】

##### 【従来の技術】

分布帰還型半導体レーザ素子（DFBレーザ素子）に電界吸収型光変調器（EA光変調器：Electron-Absorption）を集積した光集積デバイス（EA-DFB）は、外部変調方式の光デバイスに比べて、モジュール構成を格段に小さくでき、DWDM装置に対して要求される小型化及び低コスト化を達成できるデバイスとして注目されている。特に、メトロポリタン系における通信用光源として重要性が高まっており、光通信分野のキー・デバイスとなっている。

#### 【0003】

EA光変調器は、電界による吸収係数の変化によって生じる電界吸収効果を適用した光変調器であり、量子井戸構造の吸収層を備えている。EA光変調器の動作原理は、量子閉じ込めシュタルク効果（Quantum Confined Stark Effect）を利用し、吸収層に逆バイアス電圧を印加することで、エキシトン（Exciton）の吸収端を長波長側、即ち低エネルギー側に移動させ、DFBレーザ素子からの出射光を吸収、消光させるものである。

#### 【0004】

EA-DFBでは、一般的に、メサストライプの側部をFeドープInP（Fe-InP）層で埋め込んだ構造が採用されている。この場合、Fe-InP層は、ドープしたFeが深い準位を形成することによって空乏化され、EA光変調器の低容量化が実現される。上記構造により、数10Gbpsまでの高速変調が可能なEA-DFBが開発されている。

#### 【0005】

ここで、従来のEA-DFBの一例を説明する。図7は従来のEA-DFBの層構造を示す部分断面斜視図であり、図8（a）及び（b）は、夫々図7のVIII a-VIII a断面及びVIII b-VIII b断面の一部を示す断面図である。

#### 【0006】

EA-DFB 40は、電流ブロック層としてFe-InP層を採用したSI-PBH構造（Semi-Insulating Planar Buried Heterosturcture）のEA-DF

Bであり、図7に示すように、DFBレーザ領域40Aに形成されたDFBレーザ素子とEA光変調器領域40Bに形成されたEA光変調器とが、共通のn-InP型基板41上に導波方向に同軸状でモノリシックに集積された光集積デバイスである。

#### 【0007】

DFBレーザ領域40Aは、図8(a)に示すように、n-InP基板41上に順次に形成された、n-InP下部クラッド層42、MQW-SCH43、p-InPスペーサ層44、回折格子45、p-InP上部クラッド層46から成る積層構造を有する。DFBレーザ領域40Aの積層構造のうち、p-InP上部クラッド層46、回折格子45、p-InPスペーサ層44、MQW-SCH43、n-InP下部クラッド層42、及びn-InP基板41の上部は、メサ構造50として形成されている。

#### 【0008】

EA光変調器領域40Bは、図8(b)に示すように、n-InP基板41上に順次に形成された、n-InP下部クラッド層47、吸収層であるMQW-SCH48、p-InP上部クラッド層49から成る積層構造を有する。EA光変調器領域40Bの積層構造のうちp-InP上部クラッド層49、MQW-SCH48、n-InP下部クラッド層47、及びn-InP基板41の上部は、DFBレーザ領域40Aのメサ構造50に連続する、メサ構造51として形成されている。

#### 【0009】

メサ構造50、51の両側面、及びメサ構造50、51の外側のn-InP基板41上には、半絶縁性のFe-InP電子トラップ層52、及びn-InPホールブロック層53を順次に埋め込んだ電流ブロック構造が形成されている。

#### 【0010】

メサ構造50、51及びその両側のn-InPホールブロック層53上には、p-InP上部クラッド層54、及びp-InGaAsPコンタクト層55が、順次に積層されている。p-InGaAsPコンタクト層55上には、DFBレーザ領域40Aにp側電極56が、EA光変調器領域40Bにp側電極57が夫

々形成されている。また、 $n$ -InP 基板 41 の裏面には共通の  $n$  側電極 58 が形成されている。

#### 【0011】

メサ構造 50、51 の更に外側には、図 7 に示すように、 $p$  側電極 56、57、 $p$ -InGaAsP コンタクト層 55、 $p$ -InP 上部クラッド層 54、 $n$ -InP ホールブロック層 53、 $Fe$ -InP 電子トラップ層 52、及び  $n$ -InP 基板 41 の上部を貫通して、トレンチ 59 が設けられている。トレンチ 59 により寄生容量を低減することができる。

#### 【0012】

DFB レーザ領域 40A と EA 光変調器領域 40B との境界近傍で、積層構造のうち、 $p$  側電極 56、57、 $p$ -InGaAsP コンタクト層 55、及び  $p$ -InP 上部クラッド層 54 の上部を貫通して、分離溝 60 が設けられている。分離溝 60 により、 $p$  側電極 56 と  $p$  側電極 57 とを電氣的に分離することができる。

#### 【0013】

EA-DFB 40 では、DFB レーザ領域 40A の素子抵抗を低くするために、 $p$ -InP 上部クラッド層 54 のキャリア濃度を  $1 \times 10^{18} \text{ cm}^{-3}$  程度に高めている。また、 $n$ -InP 電流ブロック層 53 のキャリア濃度を、 $4 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$  程度の高い値に設定することで、DFB レーザ領域 40A で、しきい値電流、及び電流-光変換効率が共に良好な素子特性が得られる。

#### 【0014】

##### 【発明が解決しようとする課題】

上述のように、EA-DFB 40 では、 $n$ -InP 電流ブロック層 53 及び  $p$ -InP 上部クラッド層 54 が共に高いキャリア濃度を有するが、この場合、EA 光変調器領域 40B では、駆動時に  $n$ -InP ホールブロック層 53 と  $p$ -InP 上部クラッド層 54 との界面に空乏層が広がらない。このため、非常に高い電界が上記界面に加わり、EA 光変調器領域 40B における逆耐圧特性が悪化し、素子によって所定の消光比を得るための逆バイアス電圧が得られないという問題があった。



## 【0015】

また、仮に所定の消光比を得るための逆バイアス電圧が得られたとしても、上述のように非常に高い電界が上記界面に加わるため、 $n-I n P$  ホールブロック層 53 の  $p-I n P$  上部クラッド層 54 に対する電流ブロック機能が十分でなく、所定の消光比を得るための逆バイアス電圧が大きいと、素子が劣化し易くなるという問題があった。

## 【0016】

そこで、本発明の目的は、電界吸収型光変調器が良好な逆耐圧特性を有し、低い逆バイアス電圧で高い消光比を示す光集積デバイスを提供することである。

## 【0017】

## 【課題を解決するための手段】

本発明者は、上述の問題を解決するために、上記  $n-I n P$  ホールブロック層と  $p-I n P$  上部クラッド層との間にキャリアを空乏化させる層（キャリア空乏層）を介在させることにより、上記問題を解決することを着想し、種々の実験の末、本発明を完成するに至った。

## 【0018】

即ち、上記目的を達成する本発明に係る光集積デバイスは、レーザ光を発生する活性層を有する分布帰還型半導体レーザ素子（DFBレーザ素子）と、前記レーザ光を吸収する吸収層を有する電界吸収型光変調器（EA光変調器）とを、共通の第1導電型の半導体基板上にモノリシックに集積した光集積デバイスであって、前記活性層及び吸収層を有するメサストライプと、該メサストライプの側部を順次に埋め込む半絶縁性膜及び第1導電型の埋込み層とを備える光集積デバイスにおいて、

前記第1導電型の埋込み層と、前記メサストライプの上部に配設される第2導電型のクラッド層との間に、キャリア空乏層を形成したことを特徴とする光集積デバイス。

## 【0019】

第1導電型の埋込み層と、メサストライプの上部に配設される第2導電型のクラッド層との間に、キャリア空乏層を形成したことにより、EA光変調器領域に

おける、第1導電型の埋込み層と第2導電型のクラッド層との間の電界を緩和し、逆耐圧特性を向上させることができる。また、上記電界が緩和されることにより、EA光変調器領域における、第1導電型の埋込み層の第2導電型のクラッド層に対する電流ブロック機能を高め、低い逆バイアス電圧で高い消光比を得ることができる。

#### 【0020】

本発明は、前記活性層及び吸収層の少なくとも一方が、InGaAsP系材料又はInGaAlAs系材料から成る光集積デバイスに適用することによって、良好な効果を得ることができる。

#### 【0021】

本発明の好適な実施態様では、前記半絶縁性膜及び前記第1導電型の埋込み層が夫々、FeドープInP層及び第1導電型の不純物ドープInP層から成り、前記キャリア空乏層がノンドープInP層である。半絶縁性膜及び第1導電型の埋込み層が夫々、FeドープInP層及び第1導電型の不純物ドープInP層から成ることにより、DFBレーザ領域で、良好な電流狭窄効果及び電流ブロック効果を得て、良好なしきい値電流及び電流-光変換特性などのレーザ特性を得ることができる。また同時に、キャリア空乏層がノンドープInP層であることにより、EA光変調器領域で、良好な上記効果を得ることができる。

#### 【0022】

或いは上記に代えて、前記半絶縁性膜及び前記第1導電型の埋込み層が夫々、FeドープInP層及び第1導電型の不純物ドープInP層から成り、前記キャリア空乏層がFeドープInP層であっても同様の効果を得ることができる。

#### 【0023】

本発明は、前記第1導電型の不純物ドープInP層のキャリア濃度が、 $4 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲にある光集積デバイスに適用することにより、良好な効果を得ることができる。

#### 【0024】

#### 【発明の実施の形態】

以下に、添付図面を参照し、実施形態例を挙げて本発明の実施の形態を具体的

且つ詳細に説明する。

#### 実施形態例

図1は本実施形態例のEA-DFBの層構造を示す部分断面斜視図であり、図2(a)及び(b)は、夫々図1のIIa-IIa断面及びIIb-IIb断面の一部を示す断面図である。

##### 【0025】

EA-DFB10は、電流ブロック層としてFe-InP層を採用したSI-PBH型のEA-DFBであり、図1に示すように、DFBレーザ領域10Aに形成されたDFBレーザ素子とEA光変調器領域10Bに形成されたEA光変調器とが、共通のn-InP型基板11上に導波方向に同軸状でモノリシックに集積された光集積デバイスである。

##### 【0026】

DFBレーザ領域10Aは、図2(a)に示すように、n-InP基板11上に順次に形成された、n-InP下部クラッド層12、MQW-SCH13、p-InPスペーサ層14、回折格子15、p-InP上部クラッド層16から成る積層構造を有する。DFBレーザ領域10Aの積層構造のうち、p-InP上部クラッド層16、回折格子15、p-InPスペーサ層14、MQW-SCH13、n-InP下部クラッド層12、及びn-InP基板11の上部は、メサ構造20として形成されている。

##### 【0027】

図3(a)に、DFBレーザ領域10Aで、結晶成長方向に沿ったバンドギャップエネルギー $E_g$ を示す。MQW-SCH13は、MQW構造32とその上下に配設された2段SCH構造33から構成されている。MQW構造32は、6層のバンドギャップ波長 $\lambda_g$ が $1.55\mu\text{m}$ で膜厚が $4.5\text{nm}$ の井戸層と、バンドギャップ $\lambda_g$ が $1.2\mu\text{m}$ で膜厚が $12\text{nm}$ の障壁層から成る。2段SCH構造32は、バンドギャップ波長 $\lambda_g$ が $1.2\mu\text{m}$ で膜厚が $12\text{nm}$ の第1段目SCHと、バンドギャップ波長 $\lambda_g$ が $1.1\mu\text{m}$ で膜厚が $20\text{nm}$ の第2段目SCHとから成る。また、回折格子15は、バンドギャップ波長 $\lambda_g$ が $1.5\mu\text{m}$ で膜厚が $20\text{nm}$ である。

## 【0028】

EA光変調器領域10Bは、図2(b)に示すように、 $n$ -InP基板11上に順次に形成された、 $n$ -InP下部クラッド層17、吸収層であるMQW-SCH18、 $p$ -InP上部クラッド層19から成る積層構造を有する。EA光変調器領域10Bの積層構造のうち $p$ -InP上部クラッド層19、MQW-SCH18、 $n$ -InP下部クラッド層17、及び $n$ -InP基板11の上部は、DFBレーザ領域10Aのメサ構造20に連続する、メサ構造21として形成されている。

## 【0029】

図3(b)に、EA光変調器領域10Bで、結晶成長方向に沿ったバンドギャップエネルギー $E_g$ を示す。MQW-SCH18は、MQW構造34とその上下に配設されたSCH構造35から構成されている。MQW構造34は、5層のバンドギャップ波長 $\lambda_g$ が $1.51\mu\text{m}$ で膜厚 $10\text{nm}$ の井戸層と、バンドギャップ $\lambda_g$ が $1.1\mu\text{m}$ で膜厚 $4\text{nm}$ の障壁層から成る。

## 【0030】

消光比は、多重量子井戸構造に関して言えば、主として井戸層の層数及び膜厚などの構成によって影響を受けるため、最適な上記構成で形成されることが重要である。

## 【0031】

SCH構造35は、バンドギャップ波長 $\lambda_g$ が $1.1\mu\text{m}$ で膜厚が $50\text{nm}$ の半導体層から成り、DFBレーザ領域10A側とレーザ光のモードフィールドが近くなるように設定されている。

## 【0032】

メサ構造20、21の両側面、及びメサ構造20、21の外側の $n$ -InP基板11上には、図2(a)及び(b)に夫々示すように、半絶縁性のFe-InP電子トラップ層22、 $n$ -InPホールブロック層23、及びノンドープInP( $i$ -InP)層24を順次に埋め込んだ電流ブロック構造が形成されている。

## 【0033】

Fe-InP 電子トラップ層 22 は、電子トラップ層として機能し、同層を空乏化させ、レーザ素子の寄生容量を低減する。n-InP ホールブロック層 23 は、後述する p-InP 上部クラッド層 25 に対するホールブロック層として機能する。

#### 【0034】

i-InP 層 24 を設けたことにより、この領域を空乏化させ、EA 光変調器領域 10B における、n-InP ホールブロック層 23 と p-InP 上部クラッド層 25 との間の電界を緩和し、逆耐圧特性を向上させることができる。また、上記電界が緩和されることにより、EA 光変調器領域 10B における、n-InP ホールブロック層 23 の p-InP 上部クラッド層 25 に対する電流ブロック機能を高め、低い逆バイアス電圧で高い消光比を得ることができる。

#### 【0035】

メサ構造 20、21 及びその両側の i-InP 層 24 上には、p-InP 上部クラッド層 25、及び p-InGaAsP コンタクト層 26 が、順次に積層されている。p-InGaAsP コンタクト層 26 上には、DFB レーザ領域 10A に p 側電極 27 が、EA 光変調器領域 10B に p 側電極 28 が夫々形成されている。また、n-InP 基板 11 の裏面には共通の n 側電極 29 が形成されている。

#### 【0036】

メサ構造 20、21 の更に外側には、図 1 に示すように、p 側電極 27、28、p-InGaAsP コンタクト層 26、p-InP 上部クラッド層 25、i-InP 層 24、n-InP ホールブロック層 23、半絶縁性の Fe-InP 電子トラップ層 22、及び n-InP 基板 11 の上部を貫通して、トレンチ 30 が設けられている。トレンチ 30 により寄生容量を低減することができる。

#### 【0037】

DFB レーザ領域 10A と EA 光変調器領域 10B との境界近傍で、積層構造のうち、p 側電極 27、28、p-InGaAsP コンタクト層 26、及び p-InP 上部クラッド層 25 の上部を貫通して、分離溝 31 が設けられている。分離溝 31 により、p 側電極 26 と p 側電極 27 とを電氣的に分離することができる。

る。

#### 【0038】

EA-DFB10は、上述の構成により、EA光変調器が良好な逆耐圧特性を有し、低い逆バイアス電圧で高い消光比を得ることができる。尚、i-InP層24に代えて、FeドープInP層を用いても、同様の効果が得られる。

#### 【0039】

EA-DFB10の製造方法を説明する。図4(a)～(c)は、夫々本実施形態例のEA-DFBの製造方法に係る一製造工程段階を示す導波方向に沿った断面図であり、図5(a)～(c)は、夫々本実施形態例のEA-DFBの製造方法に係る一製造工程段階を示すEA光変調器領域の断面図である。

#### 【0040】

先ず、図4(a)に示すように、MOCVD装置を使って、n-InP基板11上の全面に、n-InP下部クラッド層12、MQW-SCH13、p-InPスペーサ層14、及び回折格子15の形成層（図示なし）を成長させる。

#### 【0041】

次いで、回折格子15の形成層上に回折格子パターンを有するレジスト膜を形成し、ドライエッチング装置を使ってレジスト膜上から回折格子15の形成層をエッチングして回折格子15を形成する。回折格子パターンは、DFBレーザ領域10Aのみ形成すればよい。続いて、MOCVD装置を使って、p-InP層を成長させて、回折格子15を埋め込むと共に回折格子15上にp-InP上部クラッド層16を形成する。

#### 【0042】

次いで、p-InP上部クラッド層16上のDFBレーザ領域10Aを覆う、SiN等の誘電体膜から成るバットジョイントマスク36を形成し、マスクから露出しているEA光変調器領域10Bをエッチングしてn-InP基板11を露出させる。

#### 【0043】

続いて、図4(b)及び図5(a)に示すように、バットジョイントマスク36を選択成長マスクとして使い、露出させたn-InP基板11上に、MOCV

D法によって、 $n$ -InP下部クラッド層17、吸収層であるMQW-SCH18、及び $p$ -InP上部クラッド層19を成長させる。次いで、バットジョイントマスク36を除去する。 $p$ -InP上部クラッド層19を成長させる際には、 $p$ -InP上部クラッド層19の上面が、 $p$ -InP上部クラッド層6の上面とほぼ同じ高さになるように成長させる。

#### 【0044】

次いで、幅 $2\mu\text{m}$ 程度のストライプ状であって、SiN等の誘電体膜から成るストライプマスク37を、DFBレーザ領域10Aの積層構造上及びEA光変調器領域10Bの積層構造上に連続して形成し、続いて、ストライプマスク37をエッチングマスクとして、ウェットエッチングを行う。

#### 【0045】

これにより、DFBレーザ部10Aには、 $p$ -InP上部クラッド層16、回折格子15、 $p$ -InPスペーサ層14、MQW-SCH13、 $n$ -InP下部クラッド層12、及び $n$ -InP基板11の上部から成るメサ構造20を形成する。また、EA光変調器領域10Bには、図5(b)に示すように、 $p$ -InP上部クラッド層19、MQW-SCH18、 $n$ -InP下部クラッド層17、及び $n$ -InP基板11の上部から成るメサ構造21を形成する。

#### 【0046】

次いで、ストライプマスク37を、DFBレーザ領域10A及びEA光変調器領域10Bの夫々で、選択成長マスクとして用い、メサ構造20、21の両側面及び露出させた $n$ -InP基板11上に、半絶縁性のFe-InP電子トラップ層22、 $n$ -InPホールブロック層23、及び $i$ -InP層24を順次に成長させて、メサ構造20、21の両側を埋め込む。

#### 【0047】

次いで、ストライプマスク37を除去した後、図4(c)及び図5(c)に示すように、MOCVD法を用い、メサ構造20、21上及び $i$ -InP層24上に、 $p$ -InP上部クラッド層25、 $p$ -InGaAsPコンタクト層26を順次に成長させる。続いて、 $p$ -InGaAsPコンタクト層26上に $p$ 側電極27、28を設ける。また、 $n$ -InP基板11の裏面を研磨し、研磨後の裏面に

、n側電極29を設ける。

#### 【0048】

更に、図1に示すように、メサ構造20、21よりも外側にトレンチ30を設け、DFBレーザ領域10AとEA光変調器領域10Bの境界近傍に分離溝31を設ける等の工程を経ることにより、EA-DFB10を完成する。

#### 【0049】

本実施形態例のEA-DFB10の性能を評価するために、EA-DFB10を試作し、種々の測定を行った。電流-電圧特性を調べたところ、図6(a)に示すようになり、良好な逆耐圧特性を示すものと評価できる。また、EA光変調器領域10Bへの印加電圧-2Vにおいて、消光比は10dB以上であり、低い逆バイアス電圧で高い消光比を示すものと評価できる。

#### 【0050】

##### 比較例

実施形態例のEA-DFB10との比較を行うために、従来のEA-DFBの一例として、比較例のEA-DFBを試作した。

#### 【0051】

比較例のEA-DFBは、実施形態例のEA-DFB10とは、以下の点を除いて同様の構成をしている。即ち、メサ構造20、21の両側面、及びメサ構造20、21の外側のn-InP基板11上には、半絶縁性のFe-InP電子トラップ層、及びn-InPホールブロック層を順次に埋め込んだ電流ブロック構造が形成されている。

#### 【0052】

比較例のEA-DFBの製造にあたっては、実施形態例のメサ構造20、21の両側を埋め込む工程において、半絶縁性のFe-InP電子トラップ層、及びn-InPホールブロック層を順次に成長させる。

#### 【0053】

このような比較例のEA-DFBを試作し、実施形態例と同様の測定を行った。電流-電圧特性を調べたところ、図6(b)に示すようになった。また、EA光変調器領域への印加電圧-2Vにおいて、消光比は10dB以上であった。



## 【0054】

上述の実施形態例及び比較例の試験結果より、実施形態例のEA-DFB10は、比較例のEA-DFBと比較して、良好な逆耐圧特性を示し、且つ従来のEA-DFBと同じ駆動電圧-2Vで、高い消光比を得ることができた。よって、本実施形態例のEA-DFB10は、比較例のEA-DFBと比べて、良好な逆耐圧特性を有し、低い逆バイアス電圧で高い消光比を示すものと評価できる。

## 【0055】

以上、本発明をその好適な実施形態例に基づいて説明したが、本発明の光集積デバイスは、上記実施形態例の構成にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施した光集積デバイスも、本発明の範囲に含まれる。

## 【0056】

例えば、本実施形態例では、InP基板上に成長させたInGaAsP系材料を用いたEA-DFBについて説明したが、InP基板上に成長させInGaAlAs系材料を用いたEA-DFB、及びInP基板上に成長させ、EA光変調器領域の吸収層及びDFBレーザ領域の活性層の少なくとも一方が、InGaAsP系材料又はInGaAlAs系材料から成るEA-DFB、及びその他の光集積デバイスにも適用することが可能である。また、井戸層厚、障壁層厚、及び井戸層数についても、実施形態例の構成に限られるものではない。更に、バルクのInGaAsPを吸収層として用いたEA光変調器にも適用することができる。

## 【0057】

また、本実施形態例では、バットジョイント法を用いたEA-DFBについて説明したが、選択成長法により積層構造を成長させるEA-DFB及びその他の光集積デバイスでも適用することが可能である。更に、実施形態例で示した成膜方法、半導体層の組成及び膜厚、メサ幅、プロセス条件等は、本発明の理解を容易にするための一つの例示であって、本発明はこの例示に限定されるものではない。

## 【0058】

本実施形態例のEA-DFB10では、構造上、同一の埋めこみ層をDFBレーザ領域10Aにも適用することになる。DFBレーザは順方向で駆動する素子であるが、逆方向耐圧が向上することで、サージ破壊に強い素子が可能になる。またキャリア空乏層(i-InP層24)が入ったとしても、静特性が変化することはない。少なくともEA光変調器領域10Bの埋めこみ層にはキャリア空乏層(i-InP層24)を挿入することが必要であるが、DFBレーザ領域10A側にも適用されていれば、なおよい。

#### 【0059】

##### 【発明の効果】

本発明によれば、光集積デバイスの第1導電型の埋込み層と、メサストライプの上部に配設される第2導電型のクラッド層との間に、キャリア空乏層を形成したことにより、EA光変調器領域における、第1導電型の埋込み層と第2導電型のクラッド層との間の電界を緩和し、逆耐圧特性を向上させることができる。また、上記電界が緩和されることにより、EA光変調器領域における、第1導電型の埋込み層の第2導電型のクラッド層に対する電流ブロック機能を高め、低い逆バイアス電圧で高い消光比を得ることができる。従って、素子が劣化し難く、信頼性の高い光集積デバイスを実現している。

##### 【図面の簡単な説明】

#### 【図1】

図1は、実施形態例のEA-DFBの層構造を部分断面で示す斜視図である。

#### 【図2】

(a)は、図1のIIa-IIa断面の一部を示す断面図であり、(b)は、図1のIIb-IIb断面の一部を示す断面図である。

#### 【図3】

(a)は、DFBレーザ領域における結晶成長方向に沿ったバンドギャップエネルギーE<sub>g</sub>を示すプロファイルであり、(b)は、EA光変調器領域における結晶成長方向に沿ったバンドギャップエネルギーE<sub>g</sub>を示すプロファイルである。

#### 【図4】

(a) ~ (c) は、夫々実施形態例の E A - D F B の製造方法に係る一製造工程段階を示す導波方向に沿った断面図である。

【図 5】

(a) ~ (c) は、夫々実施形態例の E A - D F B の製造方法に係る一製造工程段階を示す E A 光変調器領域の断面図である。

【図 6】

(a) は、実施形態例の E A - D F B の電流 - 電圧特性を示すグラフであり、(b) は、比較例の E A - D F B の電流 - 電圧特性を示すグラフである。

【図 7】

図 7 は、従来の E A - D F B の層構造を部分断面で示す斜視図である。

【図 8】

(a) は、図 7 の VIII a - VIII a 断面の一部を示す断面図であり、(b) は、図 7 の VIII b - VIII b 断面の一部を示す断面図である。

【符号の説明】

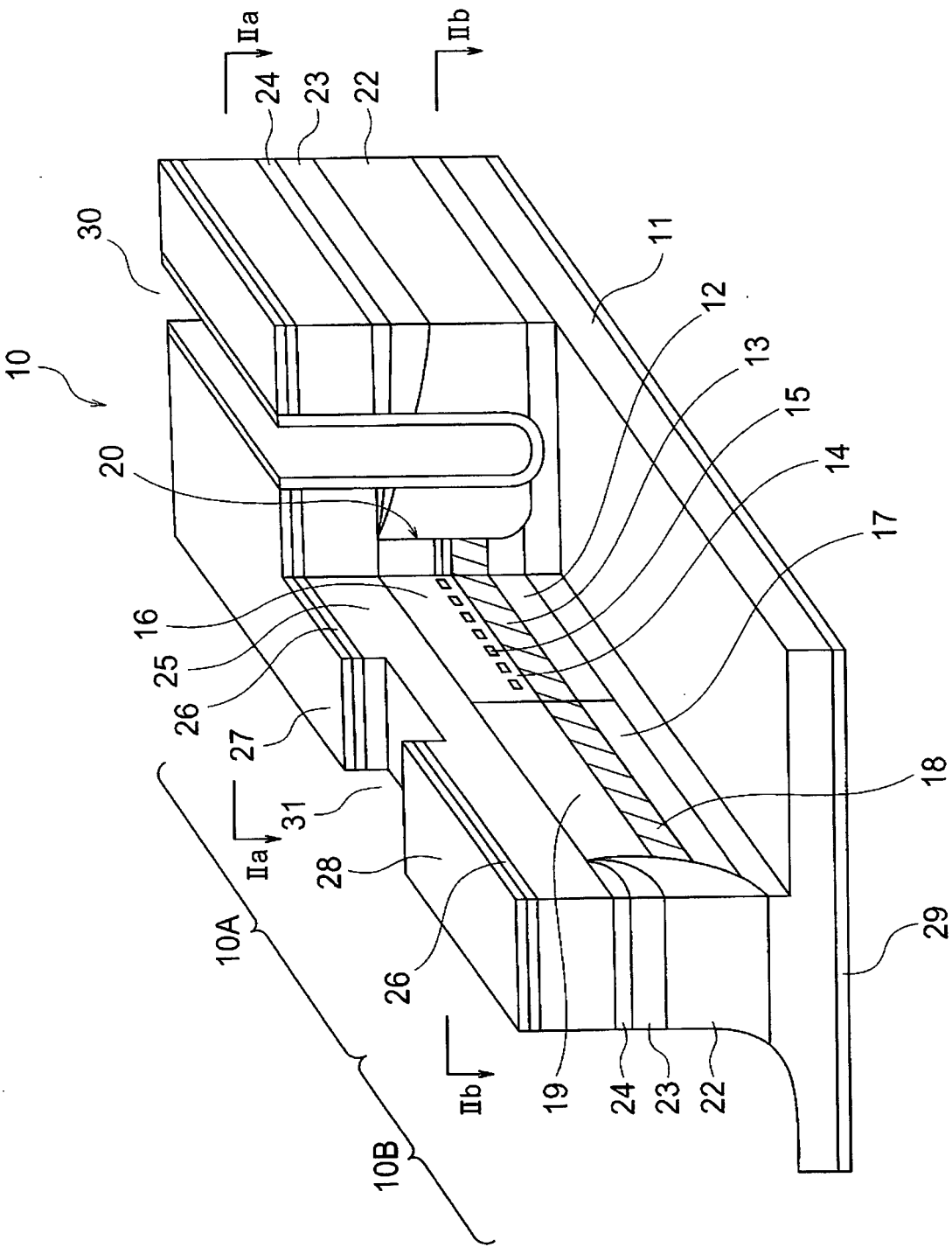
- 1 0 E A - D F B
- 1 0 A D F B レーザ領域
- 1 0 B E A 光変調器領域
- 1 1 n - I n P 基板
- 1 2 n - I n P 下クラッド層
- 1 3 M Q W - S C H
- 1 4 p - I n P スペーサ層
- 1 5 回折格子
- 1 6 p - I n P 上部クラッド層
- 1 7 n - I n P 下部クラッド層
- 1 8 M Q W - S C H
- 1 9 p - I n P 上部クラッド層
- 2 0 (D F B レーザ領域の) メサ構造
- 2 1 (E A 光変調器領域の) メサ構造
- 2 2 F e - I n P 電子トラップ層

- 2 3 n - I n P ホールブロック層
- 2 4 i - I n P 層
- 2 5 p - I n P 上部クラッド層
- 2 6 p - I n G a A s P コンタクト層
- 2 7 ( D F B レーザ領域の ) p 側電極
- 2 8 ( E A 光変調器領域の ) p 側電極
- 2 9 n 側電極
- 3 0 トレンチ
- 3 1 分離溝
- 3 2 M Q W 構造
- 3 3 2 段 S C H 構造
- 3 4 M Q W 構造
- 3 5 S C H 構造
- 3 6 バットジョイントマスク
- 3 7 ストライプマスク
- 4 0 E A - D F B
- 4 0 A D F B レーザ領域
- 4 0 B E A 光変調器領域
- 4 1 n - I n P 基板
- 4 2 n - I n P 下クラッド層
- 4 3 M Q W - S C H
- 4 4 p - I n P スペーサ層
- 4 5 回折格子
- 4 6 p - I n P 上部クラッド層
- 4 7 n - I n P 下部クラッド層
- 4 8 M Q W - S C H
- 4 9 p - I n P 上部クラッド層
- 5 0 ( D F B レーザ領域の ) メサ構造
- 5 1 ( E A 光変調器領域の ) メサ構造

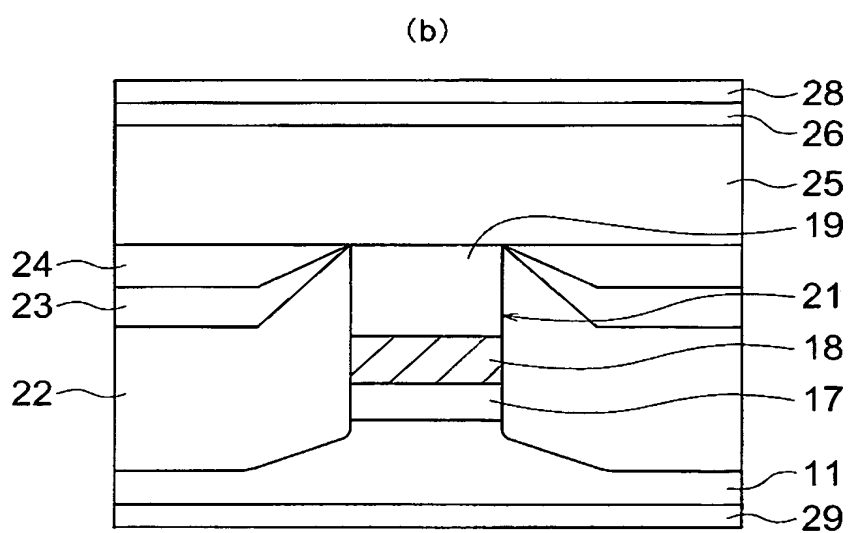
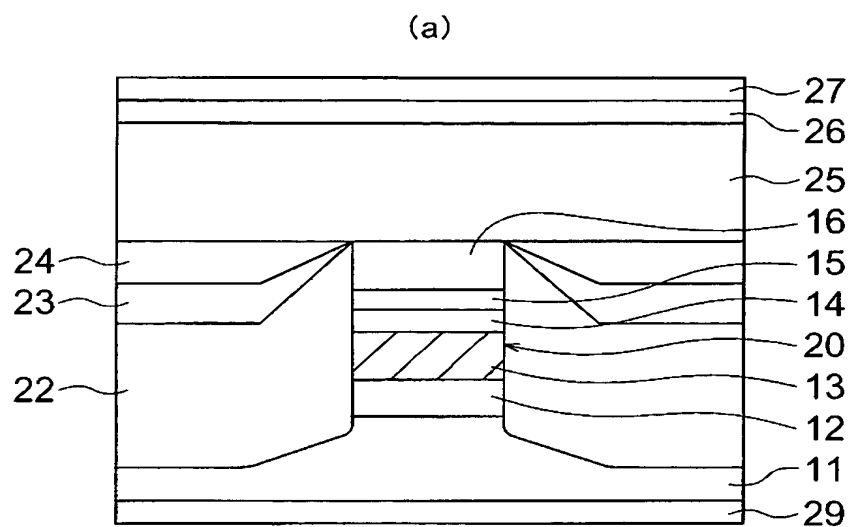
- 5 2 F e - I n P 電子トラップ層
- 5 3 n - I n P ホールブロック層
- 5 4 p - I n P 上部クラッド層
- 5 5 p - I n G a A s P コンタクト層
- 5 6 ( D F B レーザ領域の ) p 側電極
- 5 7 ( E A 光変調器領域の ) p 側電極
- 5 8 n 側電極
- 5 9 トレンチ
- 6 0 分離溝

【書類名】 図面

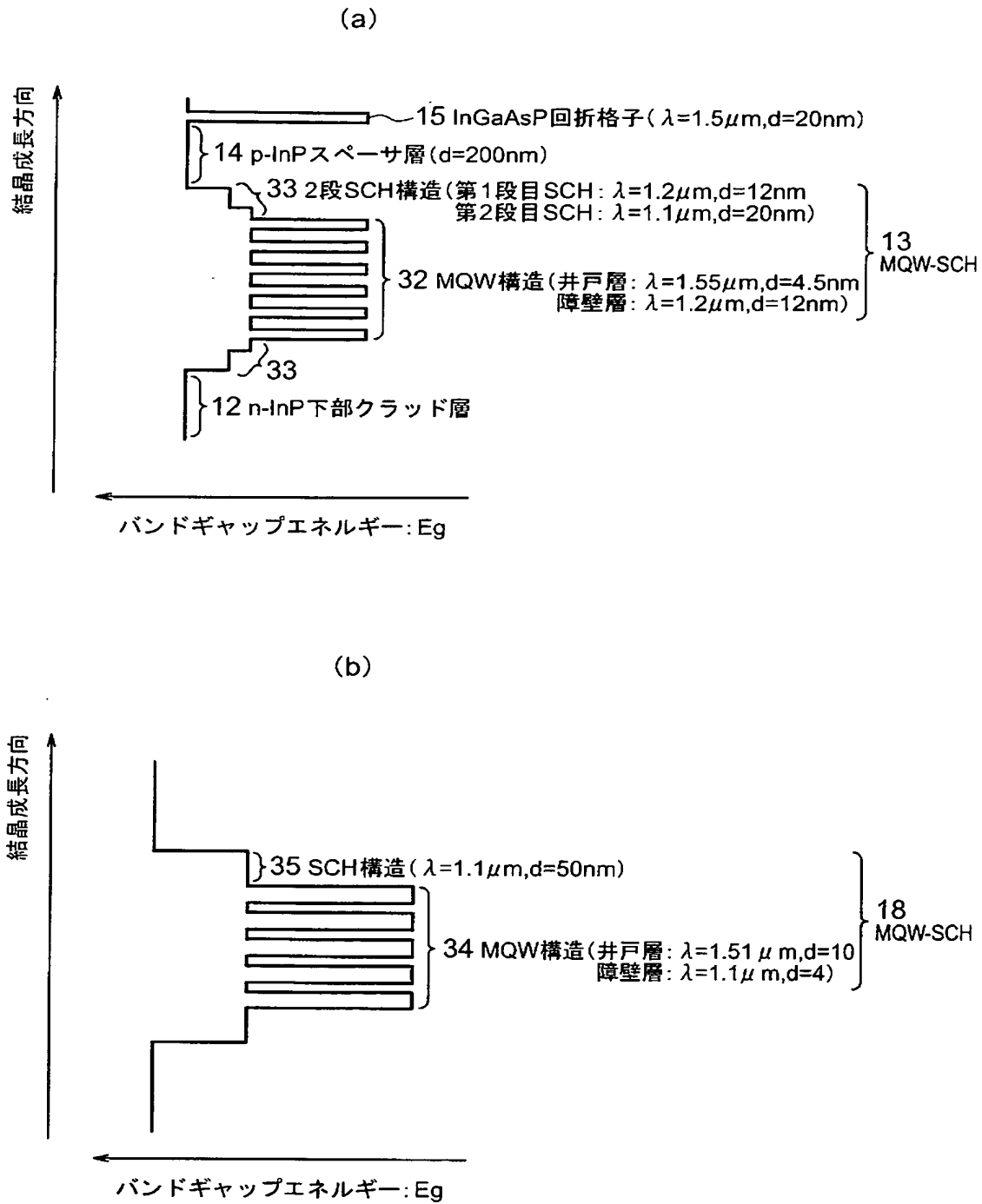
【図 1】



【図 2】

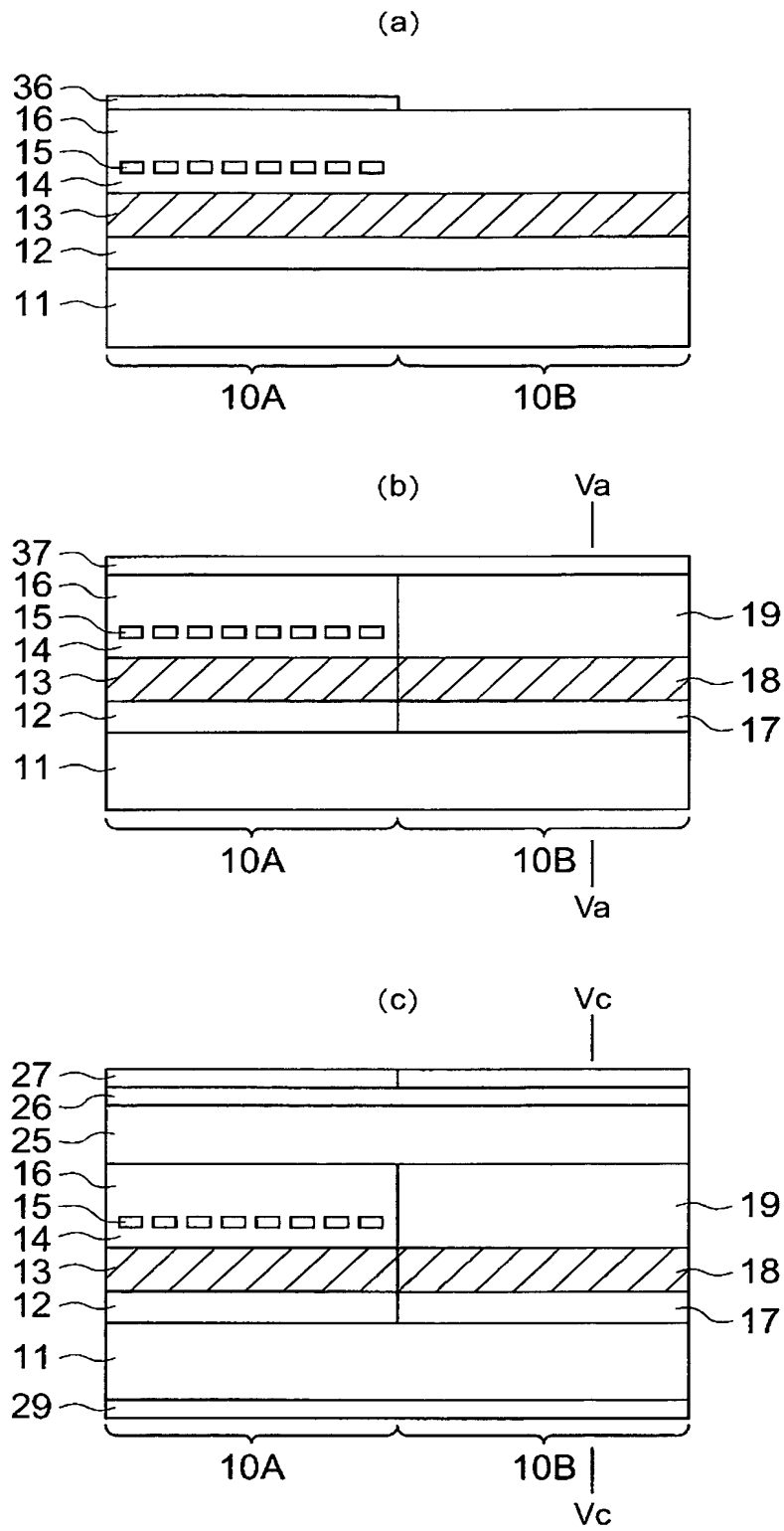


【図 3】

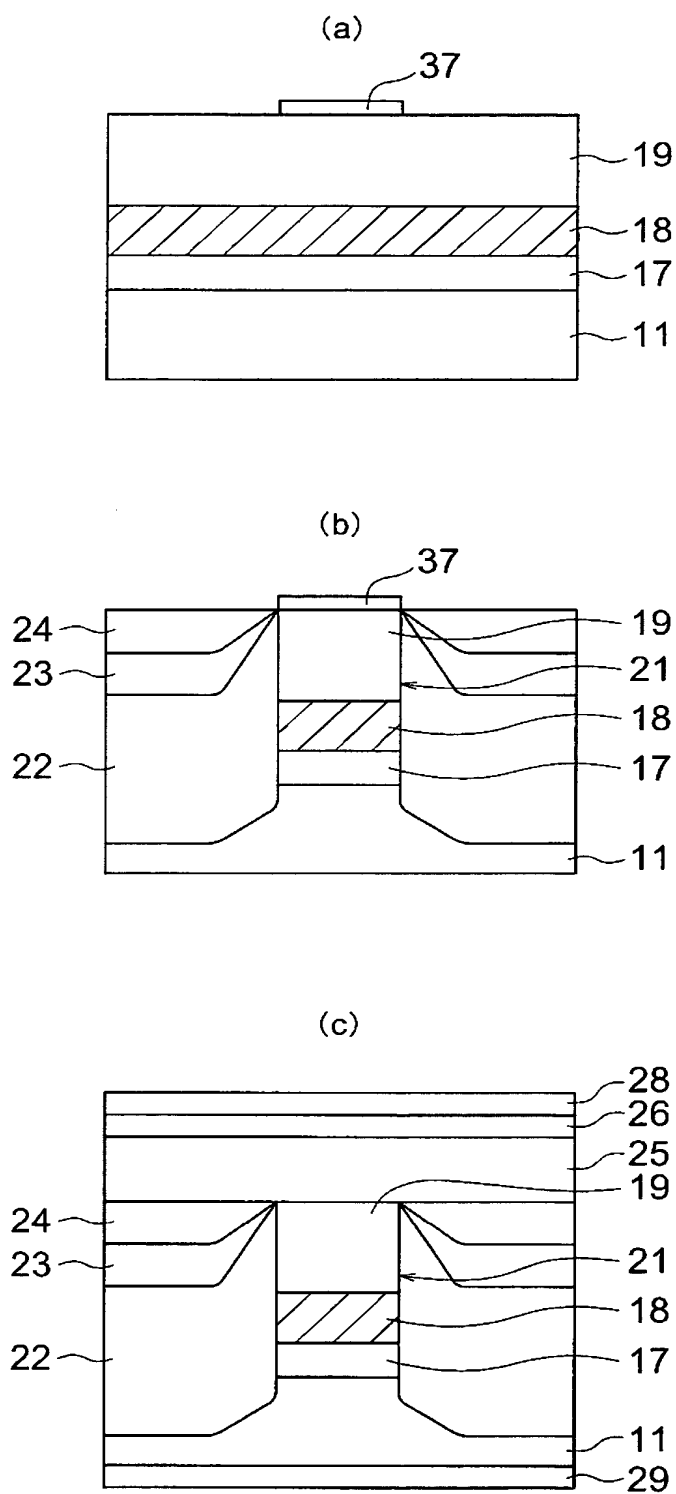




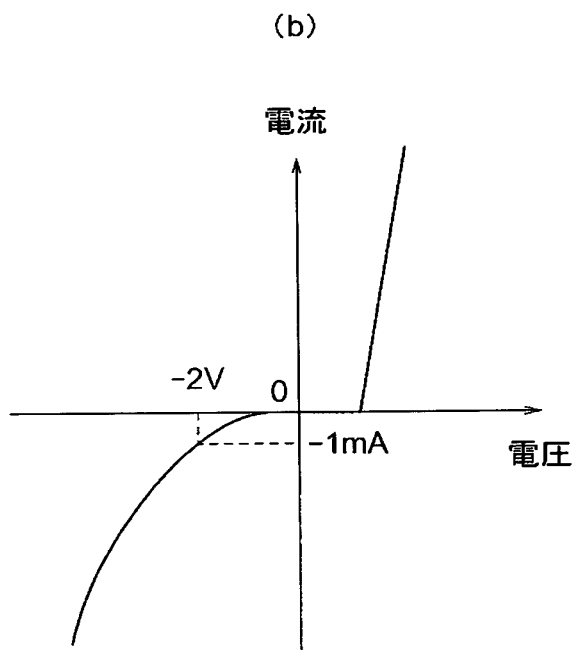
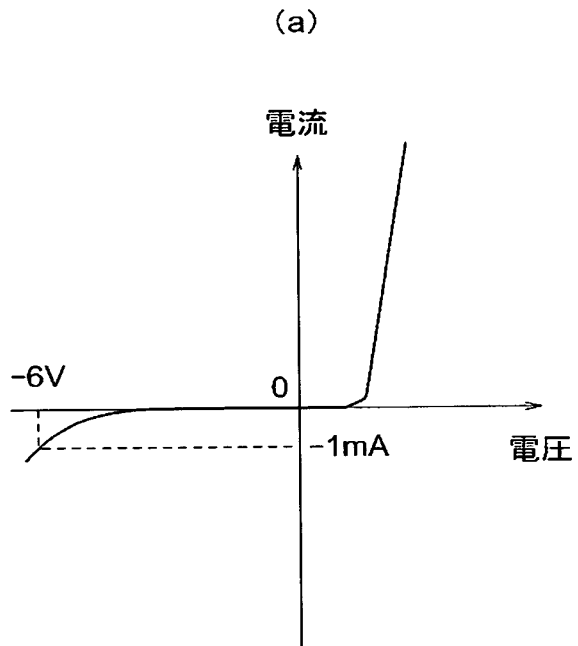
【図 4】



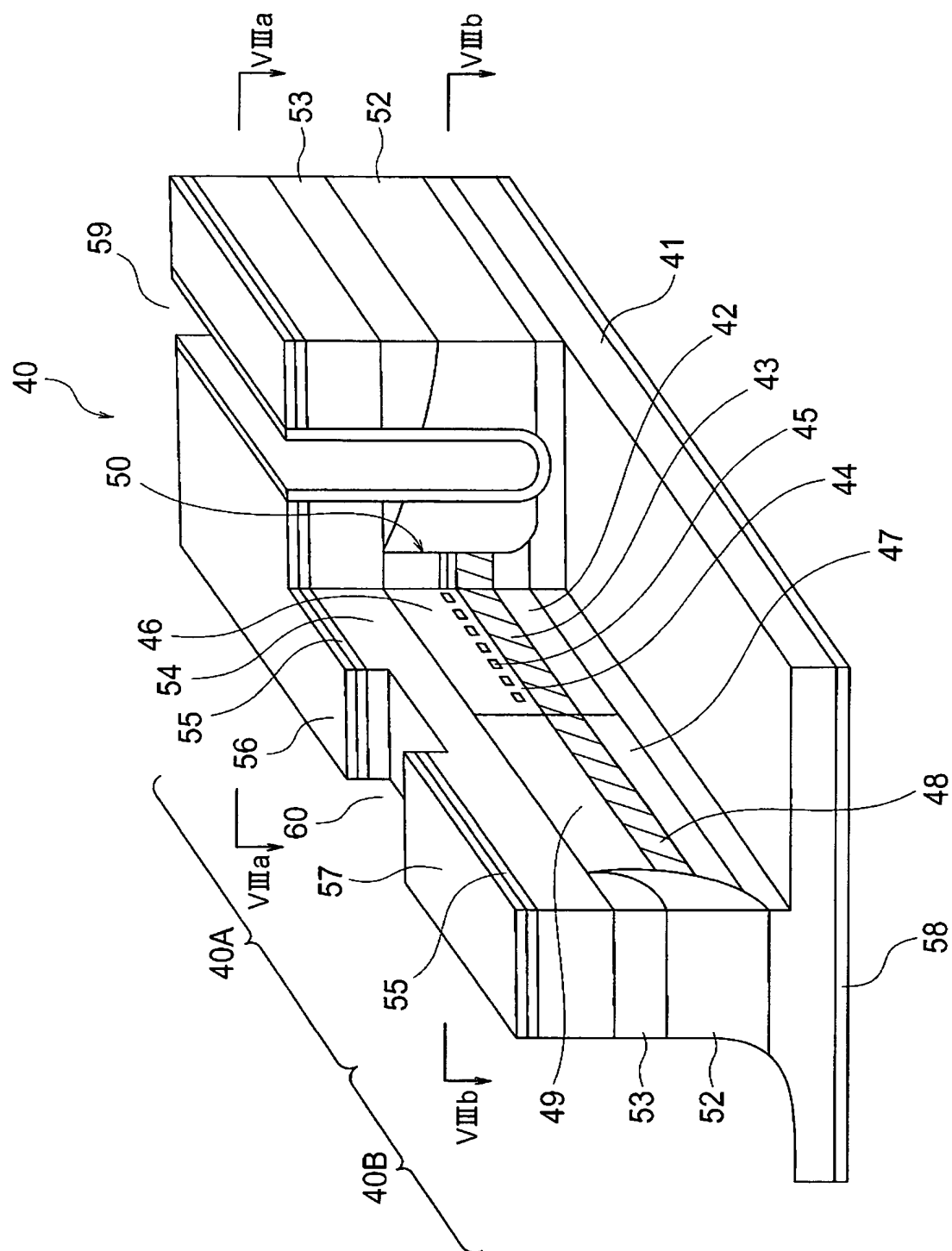
【図 5】



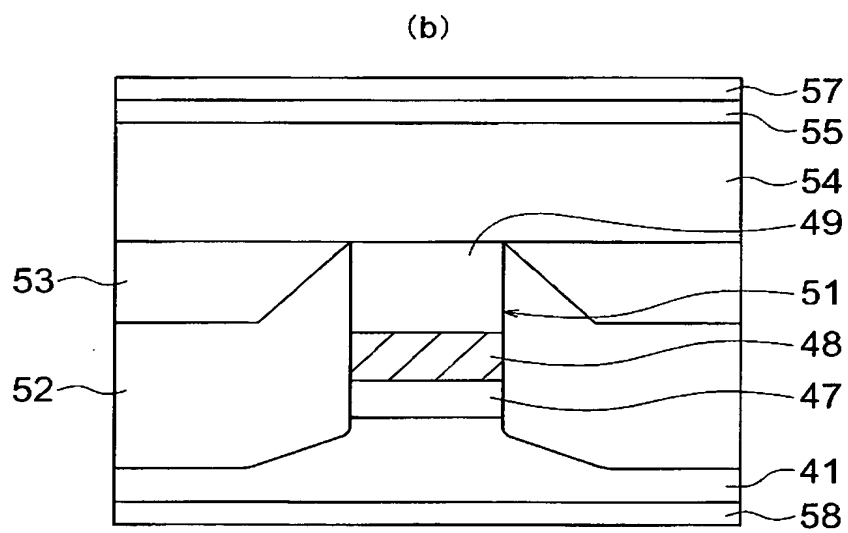
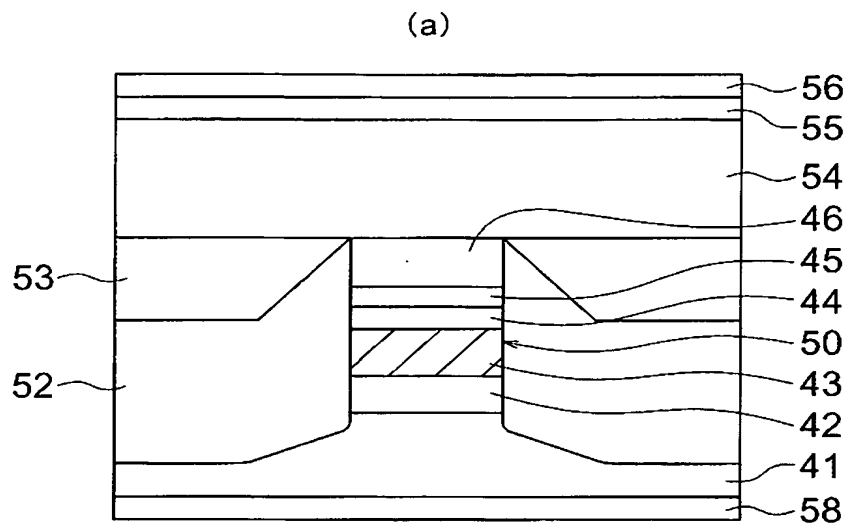
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 電界吸収型光変調器が、良好な逆耐圧特性を有し、低い逆バイアス電圧で高い消光比を示す光集積デバイスを提供する。

【解決手段】  $n$ -InPホールブロック層23と、 $p$ -InP上部クラッド層25との間に、ノンドープInP層24を形成する。ノンドープInP層24は、この領域を空乏化させ、EA光変調器領域10Bにおける、 $n$ -InPホールブロック層23と $p$ -InP上部クラッド層25との間の電界を緩和する。

【選択図】 図1

特願 2 0 0 2 - 2 0 3 3 7 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 9 0 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内 2 丁目 6 番 1 号

氏 名

古河電気工業株式会社